

Rec'd PCT/PTO 14 JAN 2005

PCT/JP 03/00068

日本国特許  
JAPAN PATENT OFFICE

REC'D 07 MAR 2003

WIPO

PCT 08.01.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2002年 1月 9日

出願番号

Application Number:

特願2002-002507

[ST.10/C]:

[JP2002-002507]

出願人  
Applicant(s):

株式会社日立製作所  
株式会社北日本セミコンダクタテクノロジーズ  
株式会社日立超エル・エス・アイ・システムズ

BEST AVAILABLE COPY

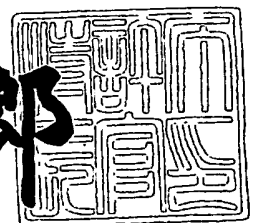
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 2月18日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3008066

【書類名】 特許願

【整理番号】 H01000801

【提出日】 平成14年 1月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/365

【発明者】

    【住所又は居所】 北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内

    【氏名】 菊地 洋明

【発明者】

    【住所又は居所】 北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内

    【氏名】 澤田 敏昭

【発明者】

    【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

    【氏名】 山本 裕彦

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【特許出願人】

    【識別番号】 000233594

    【氏名又は名称】 日立北海セミコンダクタ株式会社

【特許出願人】

    【識別番号】 000233169

    【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

    【識別番号】 100080001

    【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 (a) 半導体基板上に絶縁膜を形成する工程と、

(b) 前記 (a) 工程後、前記半導体基板を第 1 成膜装置の処理室内に挿入する工程と、

(c) 前記処理室内に加熱する工程と、

(d) 前記 (c) 工程後、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、

前記 (c) 工程は、

(c 1) 前記処理室内を大気圧に保ち、前記処理室内に加熱する工程と、

(c 2) 前記 (c 1) 工程後、前記処理室内を真空または大気圧以下とした状態で前記処理室内に加熱する工程とを含み、

前記 (c 1) 工程に要する時間は前記 (c 2) 工程に要する時間よりも長いことを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 (a) 半導体基板上に絶縁膜を形成する工程と、

(b) 前記 (a) 工程後、前記半導体基板を第 1 成膜装置の処理室内に挿入する工程と、

(c) 前記処理室内に加熱する工程と、

(d) 前記 (c) 工程後、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、

前記 (c) 工程は、

(c 1) 前記処理室内を大気圧に保ち、前記処理室内に加熱する工程と、

(c 2) 前記 (c 1) 工程後、前記処理室内を真空または大気圧以下とした状態で前記処理室内に加熱する工程を含み、

前記 (c 1) 工程に要する時間は前記 (c 2) 工程に要する時間の 0.1 倍以上かつ 1.3 倍以下であることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 (a) 半導体基板上に絶縁膜を形成する工程と、

(b) 前記 (a) 工程後、前記半導体基板を第 1 成膜装置の処理室内に挿入する

工程と、

(c) 前記処理室内を真空または大気圧以下とする工程と、

(d) 前記(c)工程後、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物を含まないシリコン膜を成膜する工程と、

(e) 前記(d)工程後、前記処理室内を真空または大気圧以下とした状態で前記処理室内に加熱する工程と、

(f) 前記(e)工程後、化学的成膜手段にて前記シリコン膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、

前記(c)工程に要する時間は前記(e)工程に要する時間よりも短いことを特徴とする半導体集積回路装置の製造方法。

【請求項4】 (a) 半導体基板上に絶縁膜を形成する工程と、

(b) 前記(a)工程後、第2成膜装置を用い化学的成膜手段にて前記絶縁膜上に導電性を有する不純物を含まないシリコン膜を成膜する工程と、

(c) 前記(b)工程後、第1成膜装置を用い化学的成膜手段にて前記シリコン膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造技術に関し、特に、不純物イオンを導入したシリコン膜をCVD (Chemical Vapor Deposition) 法により堆積する工程に適用した有効な技術に関するものである。

【0002】

【従来の技術】

MISFET (Metal Insulator Semiconductor Field Effect Transistor) のゲート電極材料として、たとえば不純物が添加された多結晶シリコン膜が用いられる。この時、添加される不純物としては、nチャネル型MISFETの場合には $AsH_3$ または $PH_3$ などを用いることができ、pチャネル型MISFETの場合には $B_2H_6$ などを用いることができる。

## 【 0 0 0 3 】

このような多結晶シリコン膜は、たとえば低圧CVD装置を用いて成膜することができる。ここで、低圧CVD装置については、1997年11月20日、（社）日本半導体製造装置協会編集、日刊工業新聞社発行、「半導体製造装置用語辞典 第4版」、p187に記載がある。

## 【 0 0 0 4 】

## 【発明が解決しようとする課題】

ところが、上記したような低圧CVD装置においては以下のような課題があることを本発明者らは見出した。

## 【 0 0 0 5 】

すなわち、MISFETのゲート電極材料として低圧CVD装置により上記したような不純物が添加された多結晶シリコン膜を成膜する際には、半導体ウェハを処理室に挿入した後、処理室内を真空または大気圧以下にした状況下で、処理室内の温度が上昇するまで一定時間待機し、その後に処理室内に生成ガスを導入して成膜を行う。この時、上記多結晶シリコン膜は、半導体ウェハの表面のみならず処理室の内壁にも成膜してしまう。続いて、新たな半導体ウェハに対して同様の多結晶シリコン膜を成膜する場合には、同様の工程で処理室内を真空または大気圧以下にした状況下で、処理室内の温度が上昇するまで一定時間待機するが、この際に処理室の内壁に成膜した多結晶シリコン膜から不純物が拡散してしまう。この拡散した不純物は、多結晶シリコン膜が成膜される前の半導体ウェハに飛散し、先に半導体ウェハの表面に形成されていたゲート酸化膜に導入されてしまい、そのゲート酸化膜の絶縁特性を劣化させてしまう問題がある。

## 【 0 0 0 6 】

本発明の目的は、低圧CVD装置により不純物が添加された多結晶シリコン膜を成膜する際に、処理室内壁に成膜している同様の多結晶シリコン膜からの不純物の拡散を抑制する技術を提供することにある。

## 【 0 0 0 7 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】

すなわち、本発明は、半導体基板を第1成膜装置の処理室内に挿入する工程と、前記処理室内に加熱する工程と、前記加熱工程後、化学的成膜手段にて前記半導体基板上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、前記加熱工程は、

(a) 前記処理室内を大気圧に保ち、前記処理室内に加熱する工程と、

(b) 前記(a)工程後、前記処理室内を真空または大気圧以下とした状態で前記処理室内に加熱する工程とを含み、前記(a)工程に要する時間は前記(b)工程に要する時間よりも長いものである。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0011】

(実施の形態1)

以下、本実施の形態1の半導体集積回路装置の製造方法について、図1～図9に従って説明する。

【0012】

まず、図1に示すように、単結晶シリコンからなる半導体基板1を熱処理して、その主面に膜厚10nm程度の薄い酸化シリコン膜(パッド酸化膜)を形成する。次いでこの酸化シリコン膜の上に膜厚120nm程度の窒化シリコン膜をCVD法で堆積した後、フォトリソist膜をマスクにしたドライエッチングで素子分離領域の窒化シリコン膜と酸化シリコン膜とを除去する。

【0013】

続いて、上記窒化シリコン膜をマスクにしたドライエッチングで素子分離領域の半導体基板1に深さ350nm程度の溝を形成した後、エッチングで溝の内壁に生じたダメージ層を除去するために、半導体基板1を熱処理してその溝の内壁に膜厚10nm程度の薄い酸化シリコン膜を形成する。

## 【0014】

続いて、CVD法にて半導体基板1上に酸化シリコン膜2を堆積した後、この酸化シリコン膜2の膜質を改善するために、半導体基板1を熱処理して酸化シリコン膜2をデンシファイ（焼き締め）する。その後、上記窒化シリコン膜をストップに用いた化学的機械研磨（Chemical Mechanical Polishing; CMP）法でその酸化シリコン膜2を研磨して溝の内部に残すことにより、表面が平坦化された素子分離溝3を形成する。

## 【0015】

次に、熱リン酸を用いたウェットエッチングで半導体基板1の活性領域上に残った窒化シリコン膜を除去した後、その活性領域にp型の導電性を有する不純物イオン（たとえばB（ホウ素））をイオン注入してp型ウェル4を形成する。続いて、半導体基板1を熱処理することによって、p型ウェル4の表面に清浄なゲート酸化膜（絶縁膜）5を形成する。

## 【0016】

次に、図2に示すように、半導体基板1上に、n型の導電性を有する不純物、たとえば $\text{PH}_3$ が添加された多結晶シリコン膜6をCVD法（化学的成膜手段）で堆積する。この多結晶シリコン膜6の堆積は、たとえば図3に示すようなバッチ式の低圧CVD装置（第1成膜装置）を用いて行うことができる。この低圧CVD装置は、半導体基板1を保持するウェハホルダWHおよび半導体基板1を加熱するためのサセプタSUを処理室DC内に有している。処理室DC内へは、チューブTU1を通して $\text{SiH}_4$ ガスが供給され、この $\text{SiH}_4$ ガスのプラズマ放電分解により多結晶シリコン膜6を形成することができる。また、チューブTU2、TU3より $\text{PH}_3$ ガスを処理室DC内へ供給することにより、多結晶シリコン膜6に $\text{PH}_3$ を添加することができる。処理室DC内へ供給された $\text{SiH}_4$ ガスおよび $\text{PH}_3$ ガスは排気口EXより排気することができる。また、図中の記号UU



、U、CU、CL、LおよびLLは、処理室DC内において半導体基板1が保持されている高さを示す指標である。

#### 【0017】

本実施の形態1においては、図4に示すタイムチャートに沿って多結晶シリコン膜6の成膜を行うものである。図中のTは、成膜開始前における処理室DC内の加熱に要する時間であり、処理室DC内の容量によって規定することができる。また、Aは半導体基板1を処理室DC内に挿入後、大気圧下での処理室DC内の加熱に要する時間であり、Bは処理室DC内を真空または大気圧以下とした状況下での加熱工程に要する時間であり、前記TはAとBとの和で規定される。

#### 【0018】

上記多結晶シリコン膜6は、半導体基板1上のみならず、図3に示した処理室DCの内壁、処理室DC内におけるサセプタおよびチューブTU1、TU2、TU3上にも成膜してしまう。また、このCVD装置は、多結晶シリコン膜6の成膜に繰り返し用いるものであり、新たな半導体基板1を処理室DC内に挿入した時には、処理室DC内の各所に多結晶シリコン膜6が成膜された状態となっている。この状況下で、長時間処理室DC内を真空または大気圧以下として加熱すると、処理室DC内の各所に成膜されている多結晶シリコン膜6が含む $\text{PH}_3$ がその多結晶シリコン膜6から拡散する。その $\text{PH}_3$ は、半導体基板1上に形成されているゲート酸化膜5に導入され、ゲート酸化膜5の絶縁特性を劣化させてしまう恐れがある。

#### 【0019】

ここで、本発明者らの行った実験によれば、上記AおよびBの関係が $0.1 \times B \leq A \leq 1.3 \times B$ となる条件下で上記加熱工程を行うことにより、処理室DC内の各所に成膜されている多結晶シリコン膜6が含む $\text{PH}_3$ の拡散を抑制できることがわかった。また、本発明者らは、容量が約56lである処理室DCを有するCVD装置を用い、AおよびBを、それぞれ約45分および約15分と上記条件を満たすように規定し、半導体基板1の主面を296の領域に分割して各領域におけるゲート絶縁膜5の絶縁特性の劣化を調べる実験を行った。すなわち、分割した各々の領域のゲート絶縁膜5に対して電圧 $V_g$ を印加し、流れた電流 $I_g$ を

測定するものである。なお、容量が約561である処理室DCの場合、上記Tは約60分で規定される。その結果、図5(a)に示すように、半導体基板1が保持されている高さがUU(図3参照)の場合には、296の領域のうち3の領域のみで絶縁特性の劣化が検出されるにとどまった。また、半導体基板1が保持されている高さがCL(図3参照)の場合には、図5(b)に示すように、296の領域のうち8の領域のみで絶縁特性の劣化が検出されるにとどまった。なお、図5中で“A”または“D”で示されている箇所は絶縁特性の劣化が検出された領域であり、“/”で示されている箇所は絶縁特性の劣化が検出されなかった領域である。すなわち、上記の条件のように、大気圧下での処理室DC内の加熱に要する時間Aに対して、処理室DC内を真空または大気圧以下とした状況下での加熱に要する時間Bを極力短くして処理室DC内へ加熱した後に多結晶シリコン膜6を成膜することにより、処理室DC内における半導体基板1が保持されている高さによらず、ゲート酸化膜5の絶縁特性の劣化を効果的に防ぐことができる。

#### 【0020】

一方、図6に示すタイムチャートのように、 $T=B$ とし、前記Aで規定した大気圧下での処理室DC内の加熱工程を行わない場合には、Bで規定される加熱工程の開始当初より処理室DC内の各所に成膜されている多結晶シリコン膜6より $\text{PH}_3$ が拡散する。そのため、その $\text{PH}_3$ が半導体基板1上に形成されているゲート酸化膜5に導入され、ゲート酸化膜5の絶縁特性を劣化させてしまう。本発明者らは、この条件下において、図5を用いて前述した実験と同様の実験を行った。その結果、図7(a)に示すように、半導体基板1が保持されている高さがUU(図3参照)の場合には、296の領域のうち162の領域で絶縁特性の劣化が検出された。半導体基板1が保持されている高さがCL(図3参照)の場合には、図7(b)に示すように、296の領域のうち140の領域で絶縁特性の劣化が検出された。なお、図7中で“A”、“C”または“D”で示されている箇所は絶縁特性の劣化が検出された領域であり、“/”で示されている箇所は絶縁特性の劣化が検出されなかった領域である。すなわち、図5に示した実験結果と合わせて、半導体基板1を処理室DC内に挿入後、大気圧下で処理室DC内を加

熱することにより、処理室DC内の各所に成膜されている多結晶シリコン膜6からの $\text{PH}_3$ の拡散を効果的に防ぐことができることを確認でき、これにより、ゲート酸化膜5の絶縁特性の劣化を効果的に防ぐことが可能となる。

#### 【0021】

次に、図8に示すように、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜（図示は省略）をマスクにして、多結晶シリコン膜6をドライエッチングすることにより、ゲート電極6Nを形成する。

#### 【0022】

続いて、上記フォトレジスト膜を除去した後、CVD法により半導体基板1上に酸化シリコン膜を堆積した後、反応性イオンエッチング（RIE）法でこの酸化シリコン膜を異方性エッチングすることにより、ゲート電極6Nの側壁にサイドウォールスペーサ7を形成する。次いで、n型の導電性を有する不純物（たとえばP）をイオン注入することにより、ゲート電極6Nの両側のp型ウェル4にnチャネルMISFETのソース、ドレイン領域を構成するn型半導体領域8を形成する。なお、サイドウォールスペーサ7の形成前に低濃度のn型半導体領域を形成し、サイドウォールスペーサ7の形成後に高濃度のn型半導体領域を形成してもよい。ここまでの工程により、nチャネル型MISFETQnを形成することができる。

#### 【0023】

次に、半導体基板1の表面を洗浄した後、たとえばスパッタリング法により、半導体基板1上にCo（コバルト）膜（図示は省略）を堆積する。続いて、半導体基板1に約600℃の熱処理を施すことにより、n型半導体領域8およびゲート電極6NとCo膜との界面にシリサイド化反応を生じさせて $\text{CoSi}_2$ 層10を形成する。この $\text{CoSi}_2$ 層10を形成することにより、後の工程においてn型半導体領域8上に形成される配線と半導体基板1との間でアロイスパイクが発生することを防ぐことができる。

#### 【0024】

次いで、未反応のCo膜をエッチングにより除去した後、約700℃～800℃の熱処理により $\text{CoSi}_2$ 層10を低抵抗化する。これにより、上記配線とn

型半導体領域 8 との間の接触抵抗を低減することができる。

#### 【 0 0 2 5 】

次に、図 9 に示すように、 $n$ チャネル型 MISFET  $Q_n$  の上部に層間絶縁膜 1 1 を形成し、続いてフォトリソ膜をマスクにして層間絶縁膜 1 1 をドライエッチングすることにより、 $n$ 型半導体領域 8 の上部にスルーホール 1 2 を形成した後、層間絶縁膜 1 1 の上部に配線 1 4 を形成し、本実施の形態 1 の半導体集積回路装置を製造する。層間絶縁膜 1 1 は、たとえば酸化シリコン膜を CVD 法にて堆積することによって形成する。また、配線 1 4 は、たとえば層間絶縁膜 1 1 の上部にスパッタリング法にて W あるいは A l 合金などのメタル膜を堆積した後、フォトリソ膜をマスクにしたドライエッチングでこのメタル膜をパターニングすることによって形成する。なお、上記層間絶縁膜 1 1、スルーホール 1 2 および配線 1 4 を形成する工程を複数回繰り返すことによって、多層に配線を形成してもよい。

#### 【 0 0 2 6 】

##### (実施の形態 2)

本実施の形態 2 の半導体集積回路装置の製造方法は、前記実施の形態 1 において図 4 を用いて説明したタイムチャートとは異なるタイムチャートに沿って、多結晶シリコン膜 6 (図 2 参照) の成膜を行うものである。

#### 【 0 0 2 7 】

本実施の形態 2 の半導体集積回路装置の製造方法は、前記実施の形態 1 において図 1 を用いて説明した工程までは同様である。その後、図 3 に示した CVD 装置の処理室 DC 内に半導体基板 1 を挿入する。続いて、図 1 0 に示すタイムチャートに沿って多結晶シリコン膜 6 の成膜を行う。本実施の形態 2 においては、半導体基板 1 を処理室 DC 内に挿入直後より処理室 DC 内を真空または大気圧以下とし、処理室 DC 内への加熱を行う。多結晶シリコン膜 6 の成膜開始前における処理室 DC 内の加熱に要する時間 T は、前記実施の形態 1 の場合と同様であるが、この T で規定される加熱工程中に薄いノンドープの多結晶シリコン膜 6 の堆積を行う。これにより、ノンドープの多結晶シリコン膜 6 によりゲート酸化膜 5 を覆うことになり、処理室 DC 内を真空または大気圧以下として処理室 DC 内へ加

熱し、処理室DC内の各所に成膜されている多結晶シリコン膜6が含む $\text{PH}_3$ がその多結晶シリコン膜6から拡散しても、ノンドープの多結晶シリコン膜6がゲート酸化膜5を保護し、その $\text{PH}_3$ がゲート酸化膜5に導入されてしまうことを防ぐことができる。すなわち、ゲート酸化膜5の絶縁特性を劣化させてしまうことを防ぐことができる。本実施の形態2においては、このようなノンドープの多結晶シリコン膜6を形成した後、上記Tで規定される過熱工程を経て $\text{PH}_3$ が添加された多結晶シリコン膜6を堆積する。

## 【0028】

その後、前記実施の形態1において、図8および図9を用いて説明した工程と同様の工程を経ることにより、本実施の形態2の半導体集積回路装置を製造する。

## 【0029】

## (実施の形態3)

以下、図11および図12を用いて本実施の形態3の半導体集積回路装置の製造方法について説明する。

## 【0030】

本実施の形態3の半導体集積回路装置の製造方法は、前記実施の形態1において図1を用いて説明した工程までは同様である。その後、図11に示すように、前記実施の形態1において図3を用いて説明したCVD装置とは別の成膜装置（第2成膜装置）を用いて、半導体基板1上に薄いイントリンシックな多結晶シリコン膜6Aを堆積する。これにより、イントリンシックな多結晶シリコン膜6Aによりゲート酸化膜5を覆うことになる。すなわち、この後に前記実施の形態1において図3を用いて説明したようなCVD装置により $\text{PH}_3$ が添加された多結晶シリコン膜6を堆積する際に、処理室DC内の各所に成膜されている多結晶シリコン膜6が含む $\text{PH}_3$ がその多結晶シリコン膜6から拡散しても、イントリンシックな多結晶シリコン膜6Aがゲート酸化膜5を保護し、その $\text{PH}_3$ がゲート酸化膜5に導入されてしまうことを防ぐことができる。その結果、ゲート酸化膜5の絶縁特性を劣化させてしまうことを防ぐことができる。

## 【0031】

次に、図 1 2 に示すように、CVD 法により上記イントリンシックな多結晶シリコン膜 6 A 上に多結晶シリコン膜 6 を堆積した後、前記実施の形態 1 において図 8 および図 9 を用いて説明した工程と同様の工程を経ることにより、本実施の形態 3 の半導体集積回路装置を製造する。

#### 【 0 0 3 2 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【 0 0 3 3 】

たとえば、前記実施の形態においては、多結晶シリコン膜に  $\text{PH}_3$  を添加する場合について示したが、 $\text{AsH}_3$  を添加してもよい。

#### 【 0 0 3 4 】

また、前記実施の形態においては n チャネル型 MISFET を形成する場合について示したが、p チャネル型 MISFET を形成する場合にも本発明の半導体集積回路装置の製造方法は適用可能であり、この場合には、ゲート電極となる多結晶シリコン膜には  $\text{B}_2\text{H}_6$  などを添加する。

#### 【 0 0 3 5 】

また、前記実施の形態の多結晶シリコン膜の成膜方法は、ゲート電極材料となる多結晶シリコン膜の成膜ばかりでなく、DRAM のキャパシタの下部電極となる多結晶シリコン膜の成膜にも適用することが可能である。

#### 【 0 0 3 6 】

#### 【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

#### 【 0 0 3 7 】

すなわち、CVD 装置（第 1 成膜装置）の処理室内に、たとえば表面にゲート酸化膜（絶縁膜）の形成された半導体基板を挿入した後、大気圧下におけるその処理室内への加熱に要する時間に対して、その後の処理室内を真空または大気圧以下とした状況下での加熱に要する時間を極力短くすることにより処理室内へ加

熱した後、不純物が添加された多結晶シリコン膜の成膜を開始することにより、前記加熱工程中において処理室内の各所に成膜されていた多結晶シリコン膜が含む不純物がその多結晶シリコン膜より拡散することを防ぐことができるので、その不純物がゲート酸化膜に導入され、ゲート酸化膜の絶縁特性を劣化させてしまうことを防ぐことができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。

【図 2】

図 1 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 3】

本発明の一実施の形態である半導体集積回路装置の製造に用いる C V D 装置の構成を説明する説明図である。

【図 4】

本発明の一実施の形態である半導体集積回路装置の製造工程中における多結晶シリコン膜の堆積時のタイムチャートを示す説明図である。

【図 5】

本発明の一実施の形態である半導体集積回路装置の製造方法により多結晶シリコン膜を形成した場合におけるゲート酸化膜の絶縁特性を示す説明図である。

【図 6】

本発明の一実施の形態である半導体集積回路装置の製造工程と比較した製造工程による多結晶シリコン膜の堆積時のタイムチャートを示す説明図である。

【図 7】

本発明の一実施の形態である半導体集積回路装置の製造工程と比較した製造工程により多結晶シリコン膜を形成した場合におけるゲート酸化膜の絶縁特性を示す説明図である。

【図 8】

図 2 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 9】

図 8 に続く半導体集積回路装置の製造工程中の要部断面図である。

【図 1 0】

本発明の他の実施の形態である半導体集積回路装置の製造工程中における多結晶シリコン膜の堆積時のタイムチャートを示す説明図である。

【図 1 1】

本発明の他の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。

【図 1 2】


図 1 1 に続く半導体集積回路装置の製造工程中の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 酸化シリコン膜
- 3 素子分離溝
- 4 p 型ウェル
- 5 ゲート酸化膜（絶縁膜）
- 6 多結晶シリコン膜
- 6 A 多結晶シリコン膜
- 6 N ゲート電極
- 7 サイドウォールスペーサ
- 8 n 型半導体領域
- 1 0  $\text{CoSi}_2$  層
- 1 1 層間絶縁膜
- 1 2 スルーホール
- 1 4 配線
- D C 処理室
- E X 排気口
- S U サセプタ
- T U 1 ~ T U 3 チューブ



特 2002-002507

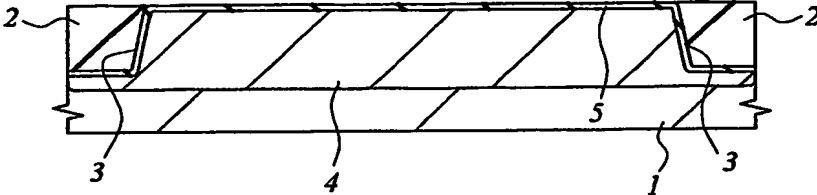


WH ウェハホルダ

【書類名】 図面

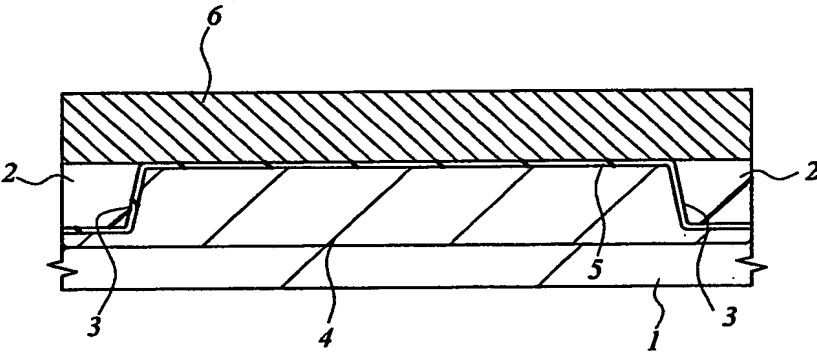
【図 1】

図 1



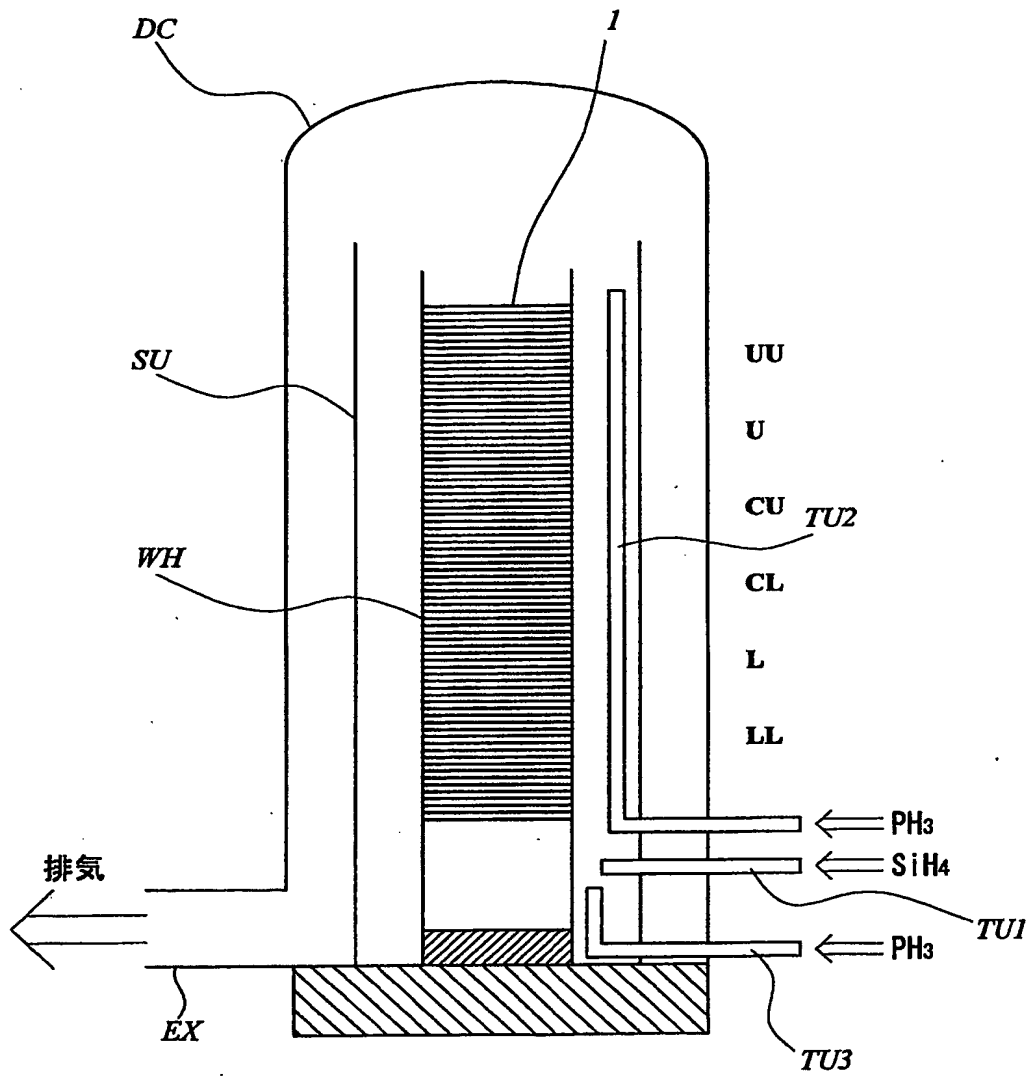
【図 2】

図 2



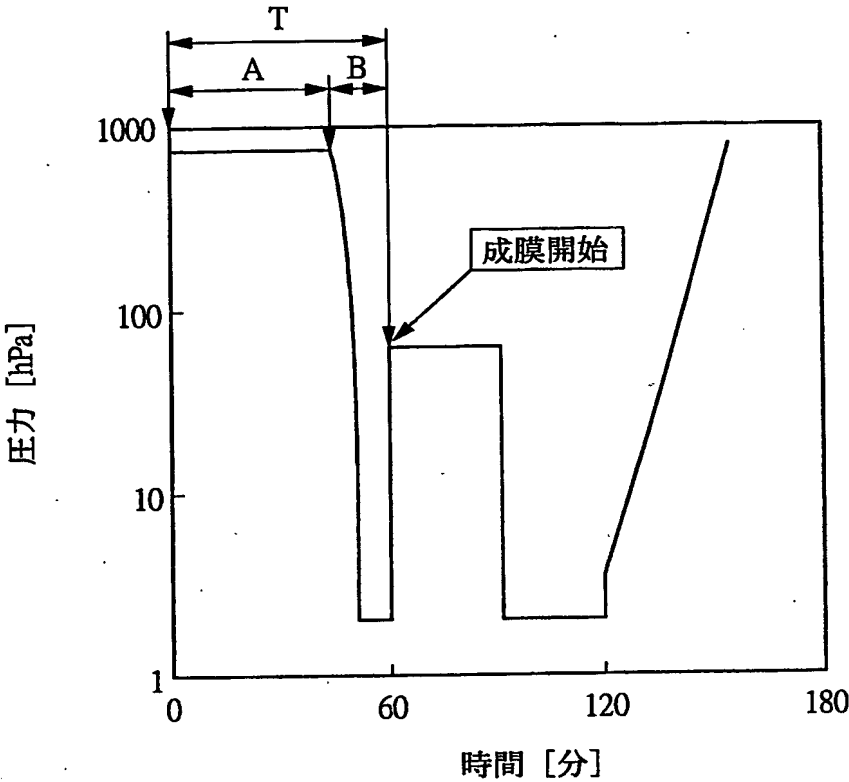
【図 3】

図 3



【図 4】

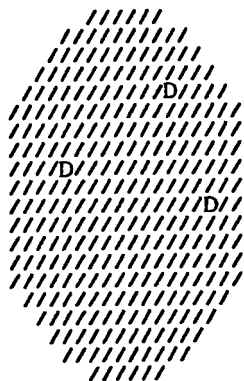
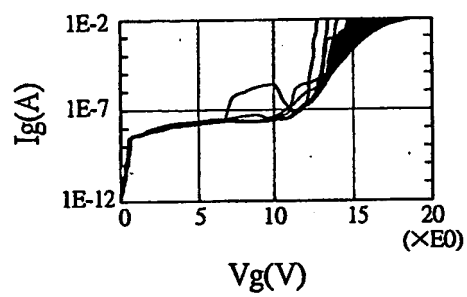
図 4



【図 5】

図 5

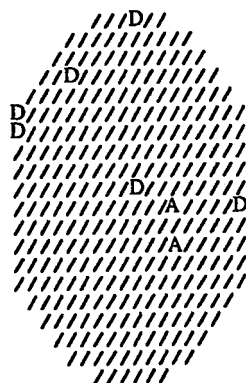
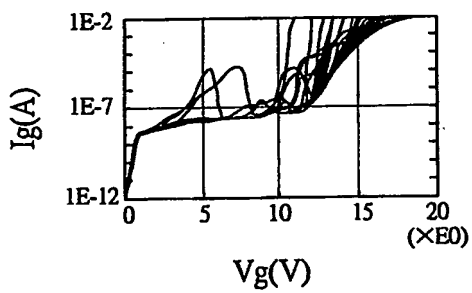
(a)



A=0  
B=0  
C=0  
D=3

$I = 293$

(b)

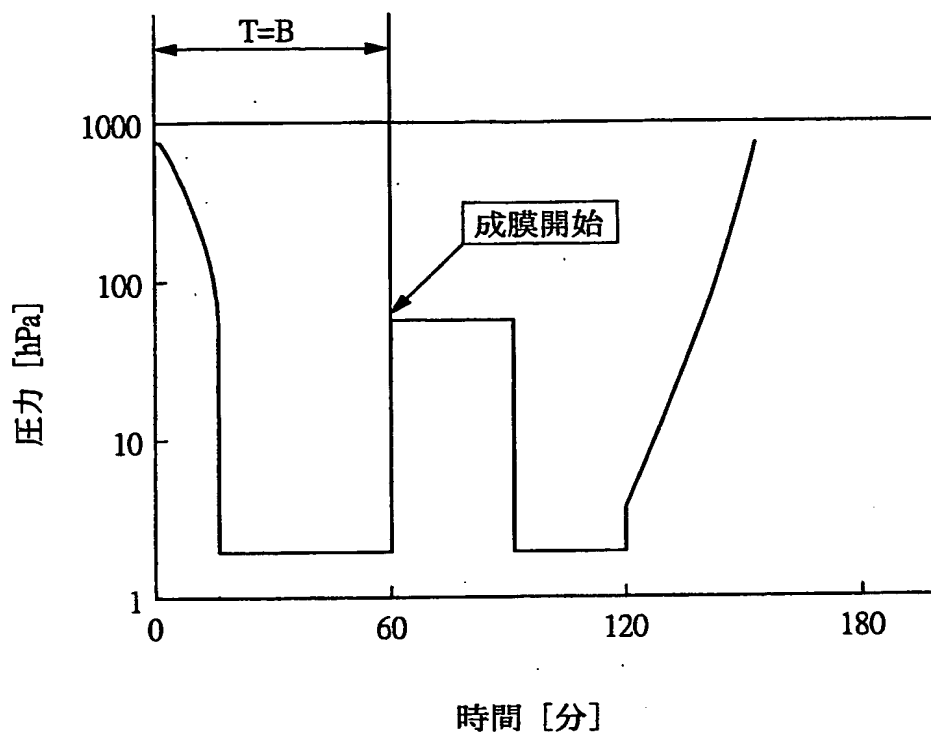


A=2  
B=0  
C=0  
D=6

$I = 288$

【図 6】

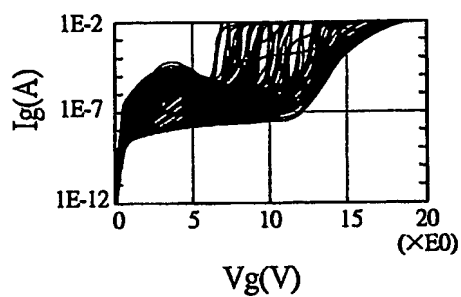
図 6



【図 7】

図 7

(a)

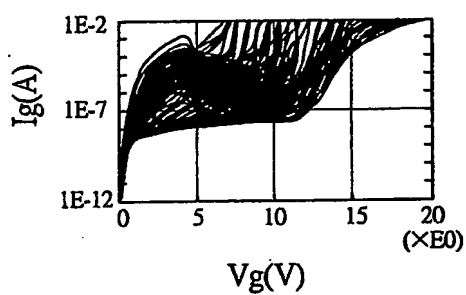


```

      ///D/
    /D///D//
  C////////A
  ///D///A
CDAAD////////D
//DDCAAAC//AD/C//
/D//DCACAACAACCADD
DD//AADDADAACAACA
/D/CC/DCDDC/DACAD
/CDC//DDC/CDC/CDA
/DAC/A/D/DDCA///C
A/DDCA////////DA/AAA
DDCAD//D/CA///CAC
/DCA////////CADACA
/CAA//D//D//D/C//
ADAC/CD///A/////
CCACADD//D/ACA
CACD///D/C/
/ACDC/D//A
D/C///
    
```

A = 56  
B = 0  
C = 48  
D = 58  
/ = 134

(b)

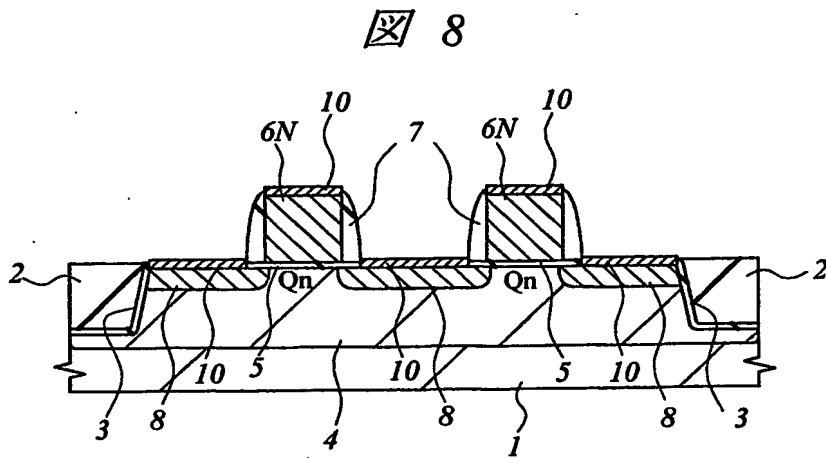


```

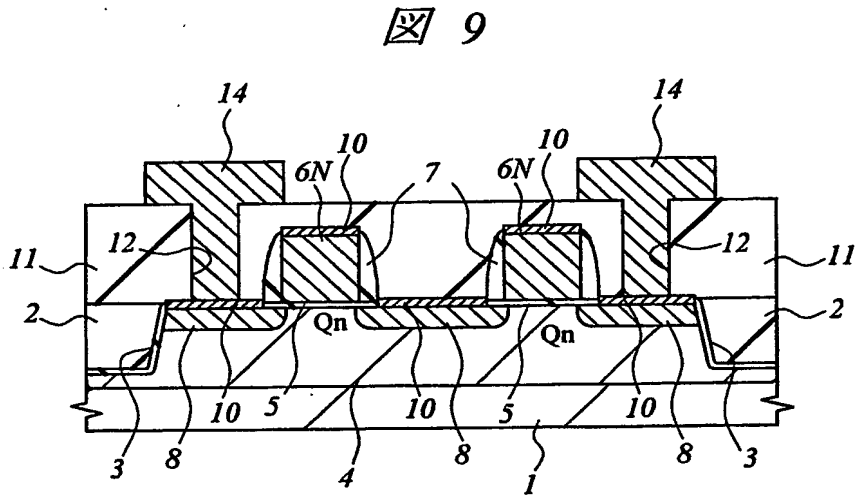
      ///A/A
    /A//D//DDA
  /A////////D//
D///DD//CAADAA
C//AA//A//A/D//A
AC/AC/D//D//AAACAAD
AAC////////A/////AA
ADADDCA//D//DAAA
CA DA/DDA/D//DAAA
AC//A//C//CDCADA
DD//AD////////ACAAAA
ACDD//A//C//AAADAC
C/A/C//A//D/AC/AA
A/DDD////////D/C/
/C////D////D/CD
D////C/D//A//A/
/////////C
DD/////////
DADD//D
DDACD/
    
```

A = 65  
B = 0  
C = 26  
D = 49  
/ = 156

【図 8】



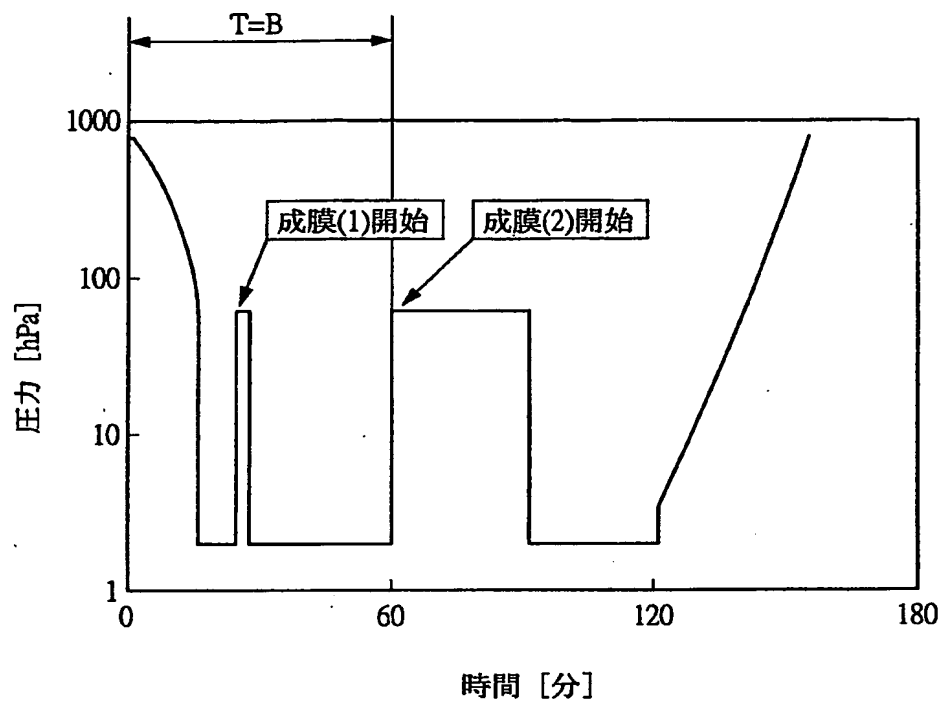
【図 9】





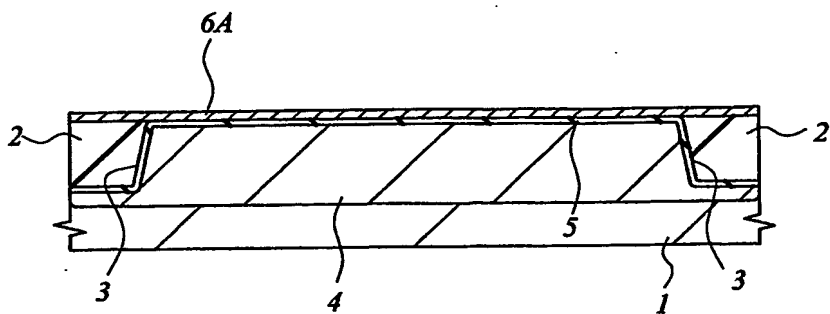
【図 10】

図 10



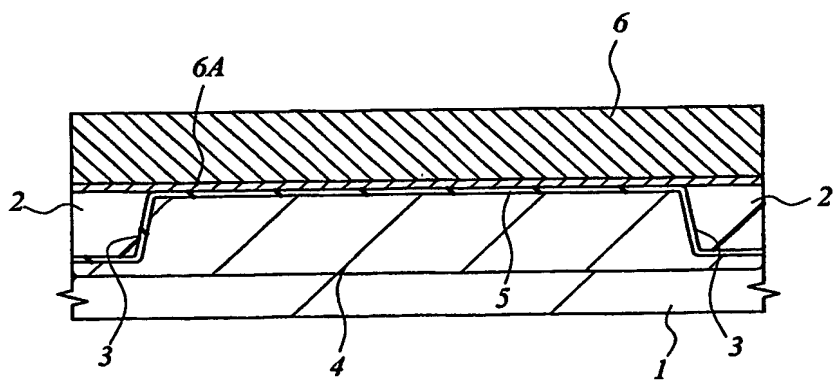
【図 11】

図 11



【図 12】

図 12



【書類名】 要約書

【要約】

【課題】 低圧CVD装置により不純物が添加されたシリコン膜を成膜する際に、処理室内壁に成膜している同様のシリコン膜からの不純物の拡散を抑制する。

【解決手段】 CVD装置（第1成膜装置）の処理室内に、たとえば表面にゲート酸化膜（絶縁膜）の形成された半導体基板を挿入した後、大気圧下におけるその処理室内への加熱に要する時間Aに対して、その後の処理室内を真空または大気圧以下とした状況下での加熱に要する時間Bを極力短くすることにより処理室内へ加熱した後、不純物が添加されたシリコン膜の成膜を開始する。この時、AおよびBの関係が $0.1 \times B \leq A \leq 1.3 \times B$ となるようにする。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233594]

1. 変更年月日 1990年 8月31日  
[変更理由] 新規登録  
住 所 北海道亀田郡七飯町字中島145番地  
氏 名 日立北海セミコンダクタ株式会社
2. 変更年月日 2002年11月15日  
[変更理由] 名称変更  
住 所 北海道千歳市泉沢1007番地39  
氏 名 株式会社北日本セミコンダクタテクノロジーズ

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**